

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.

CLIPPEDIMAGE= JP405243221A

PAT-NO: JP405243221A

DOCUMENT-IDENTIFIER: JP 05243221 A

TITLE: SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

PUBN-DATE: September 21, 1993

INVENTOR-INFORMATION:

NAME

KAWAMURA, FUMITO

ASSIGNEE-INFORMATION:

NAME	COUNTRY
------	---------

NEC KYUSHU LTD	N/A
----------------	-----

APPL-NO: JP04042706

APPL-DATE: February 28, 1992

INT-CL_(IPC): H01L021/3205

US-CL-CURRENT: 257/758

ABSTRACT:

PURPOSE: To easily control the resolution of exposure, etching, and the shape

of an upper interconnection layer under a through hole when making the through

hole for connecting the upper interconnections, in a semiconductor integrated

circuit device having three or more interconnection layer.

CONSTITUTION: Between an interconnection layer 5 and an interconnection layer

4, an interconnection layer 45X is formed in a part of a region between interlayer insulating films 451 and 452 where the interconnection layer 4 is not formed. In this manner, an interconnection layer 34X is formed between an

interconnection layer 3 and the interconnection layer 4. By this method,

flatness of interlayer insulating film on or above the interconnection layer 5 can be increased.

COPYRIGHT: (C)1993,JPO&Japio

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-243221

(43)公開日 平成5年(1993)9月21日

(51)Int.Cl.⁵
H 01 L 21/3205

識別記号
7735-4M

F I

技術表示箇所
K

審査請求 未請求 請求項の数1(全3頁)

(21)出願番号 特願平4-42706

(22)出願日 平成4年(1992)2月28日

(71)出願人 000164450

九州日本電気株式会社

熊本県熊本市八幡町100番地

(72)発明者 川村 文人

熊本県熊本市八幡町100番地九州日本電気
株式会社内

(74)代理人 弁理士 京本 直樹 (外2名)

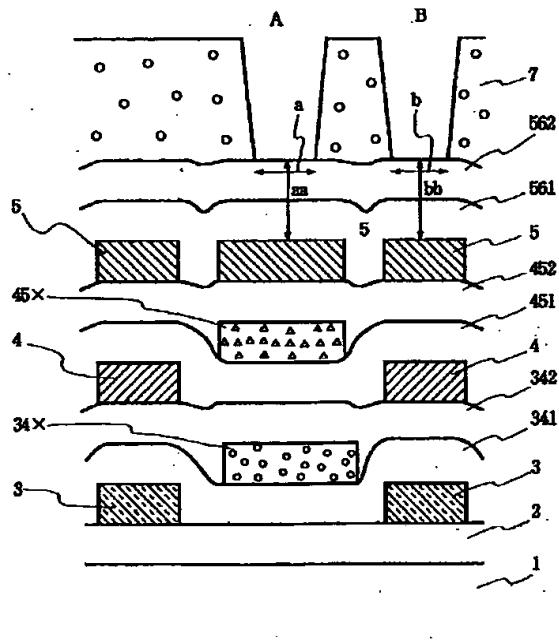
(54)【発明の名称】 半導体集積回路装置

(57)【要約】

【目的】少なくとも3層以上の配線層を有する半導体集積回路装置において、この上部の配線間の接続の為の、スルーホール穴をあける時の、露光の解像度の制御、エッチングの制御、またスルーホール穴の中の上部の配線層の形状の制御を容易にすること。

【構成】配線層5と配線層4の間の、層間絶縁膜451と452の間に、配線層4を形成した以外の領域上に、配線層45Xを形成しており、また配線層3と配線層4との間も同様に配線層34Xを形成している。

【効果】配線層5の上の層間絶縁膜の平坦性を向上させることができる。



1

【特許請求の範囲】

【請求項1】半導体基板上に形成され、少なくとも3層以上の配線層を有する半導体集積回路装置に於て、第1の配線層と、該第1の配線層のすぐ下の第2の配線層との間に有する絶縁膜の中であって該第2の配線層を形成している以外の領域に、前記第1および第2の配線層に接続しない第3の配線層を設けていることを特徴とする半導体集積回路装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は半導体集積回路装置に係わり、特に多層配線における平坦性に関するものである。

【0002】

【従来の技術】従来、多層配線技術において、上部にある配線全て、下にある配線層領域の上のみに設けてはいない。

【0003】次に詳細について従来技術の1例を説明する。図2は上部配線層5の上の層間絶縁膜56にスルーホール穴を形成する為に、写真食刻用マスクを用いて、フォトレジスト7に露光を行い、フォトレジスト7のパターニングを行った図である。また、配線層5の下の配線層4と、この配線層4の下にある配線層3及び配線層5と配線層4の間に有する層間絶縁膜45と、配線層4と配線層3との間に有する層間絶縁膜34及びシリコン基板1、素子分離のためのシリコン酸化膜2を示している。

【0004】

【発明が解決しようとする課題】一般に多層配線における第1の配線層と、この第1の配線層のすぐ下の第2の配線層との接続は、第2の配線層の上にある層間絶縁膜を、写真食刻用マスクを用いて、第2の配線層の配線上にエッチングを行いスルーホール穴(図2には図示を省略)を形成し、その後、第1の配線層を形成して接続を行う。

【0005】上述した従来の製造方法では、配線層5と、配線層5の上にある配線層とを接続するスルーホール穴の領域の層間絶縁膜56の高さは、下の配線層の有無によってC、Dの領域で異なり、また、層間絶縁膜の膜厚c c、d dもC、Dの領域で異なる。

【0006】この為、スルーホール形成の為のフォトレジスト7の穴の開口幅(c、d)は、C、Dの領域それぞれで異り、解像度の制御が困難である。また、これからエッチングを行う層間絶縁膜56の膜厚は、CとDの領域でそれぞれ異なる(c cとd d)。この膜厚と開口幅の差があるため、エッチングの制御と、配線層5の上に形成を行う上の配線層のスルーホール穴の中での形状制御が困難になる。

【0007】

【課題を解決するための手段】本発明の半導体集積回路装置は、第1の配線層と、この第1の配線層のすぐ下の

2

第2の配線層との間に有する絶縁膜の中に、第2の配線層を形成している以外の領域に第1の配線層と接続せず第2の配線層とも接続しない第3の配線層を設けている。

【0008】

【実施例】次に本発明の実施例につき、図を用いて説明する。

【0009】図1はこの発明の一実施例を説明するための断面図である。シリコン基板1上の素子分離のためのシリコン酸化膜2の上に配線層3、4、5が多層構造で

10 設けられている。これらの配線層は図示しない箇所でたがいに接続されている。配線層4と配線層3との間の層間絶縁膜は層341と層342とに分けられ、この層341と層342との間の配線層3が形成されていない領域上に配線層3とも配線層4とも接続されていない配線層34Xが形成されている。同様に、配線層5と配線層4との間の層間絶縁膜は層451と層452とに分けられ、この層451と層452との間の配線層4が形成されていない領域上に配線層4とも配線層5とも接続されていない配線層45Xが形成されている。すなわち図に示す様に、上層の配線層5のパターン下には、配線層4、3あるいは配線層45X、34Xのいずれかが形成されている。したがって、上層の配線層5の上の層561と層562とから成る層間絶縁膜の上面は実質的に平坦となり、A部とB部との層間絶縁膜の膜厚a aとb bは実質的に等しくなるから、配線層5に達するスルーホールをこの層間絶縁膜に形成する為に、写真食刻用マスクを用いて、フォトレジスト7のパターンを形成する際に解像度の制御が容易となり、A部の開口幅aとB部の開口幅bはたがいに等しくする事が出来る。

20 【0010】

【発明の効果】以上説明したように、本発明は、第1の配線層と、この第1の配線層のすぐ下の第2の配線層との間に有する絶縁膜の中に、第2の配線層を形成している以外の領域に、第1の配線層と第2の配線層に接続しない、第3の配線層が設けられていることにより、第1の配線層と、第1の配線層の上部に第0の配線層を接続する領域の第1の配線層の上の層間絶縁膜の高さは全て同じ高さとなり、またこの層間絶縁膜の膜厚も同じになる。

40 【0011】この為、層間絶縁膜にスルーホールを形成する為に写真食刻用マスクを用いて、フォトレジストに露光を行う工程において解像度の制御が容易である。

【0012】また、スルーホール形成の為に層間絶縁膜のエッチングを行う工程でエッチングの制御が容易になり、かつ第1の配線層の上に形成する第0の配線層のスルーホール穴の中での形状制御が容易にできる。

【図面の簡単な説明】

【図1】本発明の実施例を示す断面図である。

【図2】従来の技術を示す断面図である。

【符号の説明】

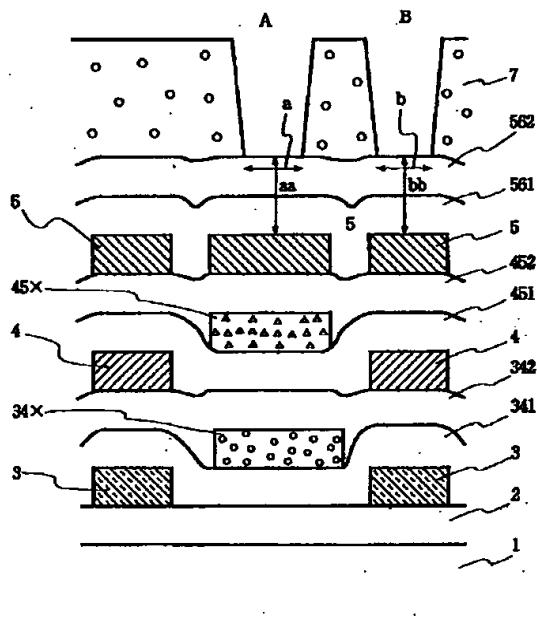
3

1 シリコン基板
 2 シリコン酸化膜
 3, 4, 5, 34X, 45X 配線層

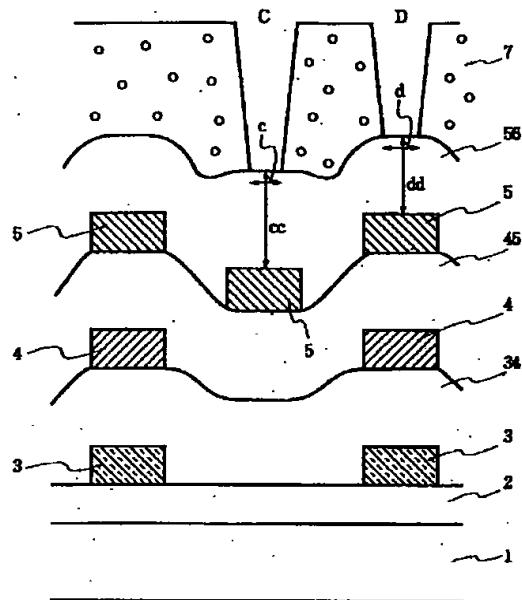
4

34, 45, 341, 342, 451, 452 層間
 絶縁膜
 7 フォトレジスト

【図1】



【図2】



* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed description]

[0001]

[Field of the Invention] Especially this invention relates to the flat nature in a multilayer interconnection with respect to semiconductor integrated circuit equipment.

[0002]

[Prior art] Conventionally, in multilayer-interconnection technique, it has not prepared in the upper chisel of the wiring layer field in all wirings in the upper part, and the bottom.

[0003] Next, one example of the conventional technique is explained for details. Drawing 2 is drawing which used the mask for photolithographies, was exposed to the photoresist 7, and performed patterning of a photoresist 7, in order to form a through hole hole in the layer insulation layer 56 on the up wiring layer 5. Moreover, the silicon oxide 2 for the layer insulation layer 45 between the wiring layer 4 under the wiring layer 5, the wiring layer 3 and the wiring layer 5 under this wiring layer 4, and the wiring layer 4, the layer insulation layer 34 between the wiring layer 4 and the wiring layer 3 and the silicon substrate 1, and isolation is shown.

[0004]

[Object of the Invention] Generally the connection between the 1st wiring layer in a multilayer interconnection and the 2nd wiring layer immediately under this 1st wiring layer connects by performing etching for the layer insulation layer on the 2nd wiring layer on a wiring of the 2nd wiring layer using the mask for photolithographies, forming a through hole hole (illustration being omitted to drawing 2), and forming the 1st wiring layer after that.

[0005] In the conventional manufacture technique mentioned above, the height of the layer insulation layer 56 of the field of a through hole hole which connects the wiring layer 5 and the wiring layer on the wiring layer 5 changes in the field of C and D with existence of a lower wiring layer, and the thicknesses cc and dd of a layer insulation layer also differ in the field of C and D.

[0006] For this reason, the opening width of face (c, d) of the hole of the photoresist 7 for through hole formation differs in each field of C and D, and the control of resolution is difficult for it. Moreover, the thicknesses of the layer insulation layer 56 which perform etching after this differ in the field of C and D, respectively (cc and dd). Since there is a difference of this thickness and opening width of face, a control of etching and a configuration control in the through hole hole of a wiring layer when forming on the wiring layer 5 become difficult.

[0007]

[The means for solving a technical problem] The semiconductor integrated circuit equipment of this invention has prepared the 3rd wiring layer which does not connect with the 1st wiring layer and does not connect the 2nd wiring layer in the field except forming the 2nd wiring layer into the insulator layer between the 1st wiring layer and the 2nd wiring layer immediately under this 1st wiring layer.

[0008]

[Example] Next, it explains about the example of this invention using drawing.

[0009] Drawing 1 is a cross section for explaining one example of this invention. The wiring layers 3, 4,

and 5 are formed by multilayer structure on the silicon oxide 2 for the isolation on a silicon substrate 1. These wiring layers of each other are connected in the part not to illustrate. The layer insulation layer between the wiring layer 4 and the wiring layer 3 is divided into a layer 341 and the layer 342, and wiring layer 34X to which the wiring layer 3 is not connected for the wiring layer 4 is formed on the field in which the wiring layer 3 between this layer 341 and layer 342 is not formed. Similarly, the layer insulation layer between the wiring layer 5 and the wiring layer 4 is divided into a layer 451 and the layer 452, and wiring layer 45X to which the wiring layer 4 is not connected for the wiring layer 5 is formed on the field in which the wiring layer 4 between this layer 451 and layer 452 is not formed. that is, it is shown in drawing -- as -- the bottom of the pattern of the upper wiring layer 5 -- the wiring layers 4 and 3 -- or either of the wiring layers 45X and 34X is formed Therefore, the top of the layer insulation layer which consists of the layer 561 and the layer 562 on the upper wiring layer 5 becomes flat substantially. Since the thicknessss aa and bb of the layer insulation layer of A section and B section become equal substantially In order to form in this layer insulation layer the through hole which reaches the wiring layer 5, the mask for photolithographies can be used, in case the pattern of a photoresist 7 is formed, a control of resolution can become easy, and opening width-of-face b of opening width-of-face a of A section and B section can be mutually made equal.

[0010]

[Effect of the invention] As explained above, this invention in the insulator layer between the 1st wiring layer and the 2nd wiring layer immediately under this 1st wiring layer By preparing the 3rd wiring layer which does not connect with the 1st wiring layer and the 2nd wiring layer in the field except forming the 2nd wiring layer All the heights of the layer insulation layer on the 1st wiring layer of a field which connects the 0th wiring layer to the upper part of the 1st wiring layer and the 1st wiring layer turn into the same height, and the thickness of this layer insulation layer also becomes the same.

[0011] For this reason, in the process which uses the mask for photolithographies in order to form a through hole in a layer insulation layer, and is exposed to a photoresist, the control of resolution is easy.

[0012] Moreover, a configuration control in the through hole hole of the 0th wiring layer which a of etching becomes easy at the process which performs etching of a layer insulation layer for through hole formation, and is formed on the 1st wiring layer can be performed easily.

[Translation done.]